

CLIPPEDIMAGE= JP02000077458A

PAT-NO: JP02000077458A

DOCUMENT-IDENTIFIER: JP 2000077458 A

TITLE: FLIP-CHIP MOUNTING METHOD

PUBN-DATE: March 14, 2000

INVENTOR-INFORMATION:

NAME

KUZUHARA, KAZUNARI

TANAKA, YASUSHI

INOUE, TOMOHIRO

YAMAMOTO, MASAHIRO

COUNTRY

N/A

N/A

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC WORKS LTD

COUNTRY

N/A

APPL-NO: JP10245131

APPL-DATE: August 31, 1998

INT-CL (IPC): H01L021/60;H01L023/28

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a flip-chip mounting method, which can readily seal only the surrounding part of a semiconductor element without working the semiconductor element and a mounting substrate.

SOLUTION: First, a frame-shaped spacer 2 comprising metal or plastic is attached on a mounting substrate 1, where a circuit pattern is formed. Then, a semiconductor element 3 is mounted through a bump 4 as a flip chip on the surface side, where the spacer 2 of the mounting substrate 1 is attached. A this time, the electrode formed on the semiconductor element 3 and the electrode formed on the circuit pattern of the mounting

substrate 1 are connected electrically via a bump 4. Furthermore, the spacer 2 is constituted so as to be brought into contact with the semiconductor element 3 at the surrounding part of the semiconductor element 3. The bump 4 is provided in a region surrounded by the frame-shaped spacer 2. Finally, the surrounding part of the semiconductor element 3 is sealed with sealing resin 5. Thus, a semiconductor device, wherein a gap part is provided between the semiconductor element 3 and the mounting substrate 1, is manufactured.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-77458

(P2000-77458A)

(43) 公開日 平成12年3月14日 (2000.3.14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 Q 4 M 1 0 9
23/28		23/28	C 5 F 0 4 4

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平10-245131

(22) 出願日 平成10年8月31日 (1998.8.31)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 葛原 一功

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 田中 恭史

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100111556

弁理士 安藤 淳二 (外1名)

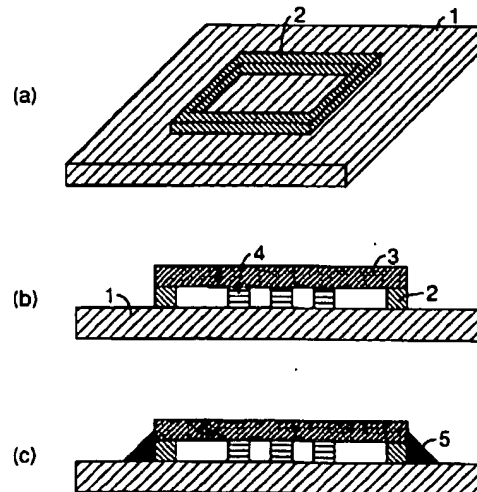
最終頁に続く

(54) 【発明の名称】 フリップチップ実装方法

(57) 【要約】

【課題】 半導体素子及び実装基板を加工することなく、半導体素子の周縁部のみを容易に封止することのできるフリップチップ実装方法を提供する。

【解決手段】 先ず、回路パターンが形成された実装基板1上に金属またはプラスチックから成る枠状のスペーサー2を取り付ける。次に、半導体素子3を実装基板1のスペーサー2を取り付けた面側にバンパ4を介してフリップチップ実装する。この時、半導体素子3に形成された電極と実装基板1の回路パターン上に形成された電極とがバンパ4を介して電気的に接続される。また、スペーサー2は、半導体素子3の周縁部で半導体素子2と当接するように構成されており、バンパ4は枠状のスペーサー2で囲まれた領域に設けられている。最後に、半導体素子3の周縁部を封止樹脂5により封止して、半導体素子3と実装基板1との間に空隙部が設けられた半導体装置を製造する。



- 1 実装基板
- 2 スペーサー
- 3 半導体素子
- 4 バンパ
- 5 封止樹脂

## 【特許請求の範囲】

【請求項1】 半導体素子をバンパを介して実装基板上に実装し、該半導体素子の周縁部のみを封止樹脂により封止するフリップチップ実装方法において、前記実装基板上に金属またはプラスチックから成る枠状のスペーサーを設け、該スペーサーの頂部を前記半導体素子の周縁部に当接させ、該半導体素子の周縁部のみを封止樹脂により封止し、前記半導体素子と前記実装基板とを枠状の前記スペーサーで囲まれた領域でバンパを介してフリップチップ実装するようにしたことを特徴とするフリップチップ実装方法。

【請求項2】 前記スペーサーの代わりに、上面及び下面に接着剤が塗布された枠状のフィルムを用いたことを特徴とする請求項1記載のフリップチップ実装方法。

【請求項3】 前記スペーサーの代わりに枠状のガラスを用い、該ガラスを前記半導体素子の周縁部に陽極接合により接合したことを特徴とする請求項1記載のフリップチップ実装方法。

【請求項4】 前記ガラスの代わりにシリコン基板を用いたことを特徴とする請求項3記載のフリップチップ実装方法。

【請求項5】 前記スペーサーの代わりに、前記バンパと同じ材質のメッキから成る枠状のフレームを用いたことを特徴とする請求項1記載のフリップチップ実装方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップ実装方法に関するものである。

【0002】

【従来の技術】図5は、従来例に係る半導体装置を示す概略断面図である。この半導体装置は、実装基板1に形成された接続用電極10に、半導体素子2に形成された電極11がバンパ4を介してフリップチップ実装され、実装基板1と半導体素子2との間にはボイドがなく均一に封止樹脂5が充填されている。この半導体装置においては、バンパ4は、半導体素子2の実装面の周辺部または全体に配置されている。

【0003】しかし、上述のような半導体装置においては、ヒートサイクル等の信頼性評価時に、構成材料の熱膨張量の違いにより発生した反りのため、特に半導体素子2の周辺部のバンパ4に過度の応力がかかり、寿命を縮めるという問題があった。

【0004】また、同時に封止樹脂5自体の熱膨張量が剪断応力としてバンパ4に影響を与え、半導体装置の寿命を縮めるという問題があった。

【0005】これを解決する方法として、特開平1-238148号公報や特開平5-315397号公報に開示されている。これは、図6に示すように、半導体素子2の周縁部においてのみ、封止樹脂5により封止した構成である。

【0006】しかし、封止樹脂5により封止する際に、封止樹脂5がバンパ4形成箇所に流れ込んでしまい、バンパ4に過度の応力がかかってしまうという問題があった。

【0007】そこで、発明者等は、上記問題を解決する手段として、特願平10-244477号及び特願平10-244478号に提案するものがある。

【0008】特願平10-244477号に提案するものは、半導体素子または実装基板に凹部を形成して、半導体素子の周縁部を実装基板に当接させ、凹部内で半導体素子と実装基板とをバンパを介してフリップチップ実装させ、半導体素子の周縁部のみで封止樹脂により封止した構成である。

【0009】また、特願平10-244478号に提案するものは、半導体素子または実装基板に枠状の突起部を設け、該突起部で囲まれた箇所で半導体素子と実装基板とをバンパを介してフリップチップ実装させ、半導体素子の周縁部のみで封止樹脂により封止した構成である。

【0010】

【発明が解決しようとする課題】ところが、上述のような構成の半導体装置においては、半導体素子または実装基板を加工して凹部または突起部を形成する必要がある、汎用に用いることに不便であった。

【0011】本発明は、上記の点に鑑みて成されたものであり、その目的とするところは、半導体素子及び実装基板を加工することなく、半導体素子の周縁部のみを容易に封止することのできるフリップチップ実装方法を提供することにある。

【0012】

【課題を解決するための手段】請求項1記載の発明は、半導体素子をバンパを介して実装基板上に実装し、該半導体素子の周縁部のみを封止樹脂により封止するフリップチップ実装方法において、前記実装基板上に金属またはプラスチックから成る枠状のスペーサーを設け、該スペーサーの頂部を前記半導体素子の周縁部に当接させ、該半導体素子の周縁部のみを封止樹脂により封止し、前記半導体素子と前記実装基板とを枠状の前記スペーサーで囲まれた領域でバンパを介してフリップチップ実装するようにしたことを特徴とするものである。

【0013】請求項2記載の発明は、請求項1記載のフリップチップ実装方法において、前記スペーサーの代わりに、上面及び下面に接着剤が塗布された枠状のフィルムを用いたことを特徴とするものである。

【0014】請求項3記載の発明は、請求項1記載のフリップチップ実装方法において、前記スペーサーの代わりに枠状のガラスを用い、該ガラスを前記半導体素子の周縁部に陽極接合により接合したことを特徴とするものである。

【0015】請求項4記載の発明は、請求項3記載のフリップチップ実装方法において、前記ガラスの代わりに

シリコン基板を用いたことを特徴とするものである。

【0016】請求項5記載の発明は、請求項1記載のフリップチップ実装方法において、前記スペーサーの代わりに、前記バンパと同じ材質のメッキから成る枠状のフレームを用いたことを特徴とするものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面に基づき説明する。

【0018】＝実施の形態1＝

図1は、本発明の一実施の形態に係る半導体装置のフリップチップ実装工程図であり、(a)は概略斜視図であり、(b)、(c)は概略断面図である。本実施の形態に係る半導体装置は、先ず、回路パターン(図示せず)が形成された実装基板1上に金属またはプラスチックから成る枠状のスペーサー2を取り付ける(図1

(a))。

【0019】次に、半導体素子3を実装基板1のスペーサー2を取り付けた面側にバンパ4を介してフリップチップ実装する。この時、半導体素子3に形成された電極(図示せず)と実装基板1の回路パターン上に形成された電極(図示せず)とがバンパ4を介して電気的に接続される(図1(b))。また、スペーサー2は、半導体素子3の周縁部で半導体素子2と当接するように構成されており、バンパ4は枠状のスペーサー2で囲まれた領域に設けられている。

【0020】なお、本実施の形態においては、バンパ4を半導体素子3の電極上に設けたが、これに限定されるものではなく、実装基板1の回路パターン上の電極に設けるようにしても良い。

【0021】最後に、半導体素子3の周縁部を封止樹脂5により封止して、半導体素子3と実装基板1との間に空隙部が設けられた半導体装置を製造する(図1(c))。

【0022】従って、本実施の形態においては、金属またはプラスチックから成る枠状のスペーサー2を実装基板1上に取り付け、スペーサー2の頂部を半導体素子3の周縁部に当接させるようにしたので、封止樹脂5がバンパ4形成箇所流れ込むことがなく、また、半導体素子3及び実装基板1を加工することなく封止樹脂5のバンパ形成箇所への流れ込みを防止することができる。

【0023】＝実施の形態2＝

図2は、本発明の他の実施の形態に係る半導体装置のフリップチップ実装工程図であり、(a)は概略斜視図であり、(b)、(c)は概略断面図である。本実施の形態に係る半導体装置のフリップチップ実装工程は、実施の形態1として図1に示す半導体装置のフリップチップ実装工程において、スペーサー2の代わりに、上面及び下面に接着剤7が塗布された枠状のフィルム6を用い、フィルム6の頂部を接着剤7を介して半導体素子2の周縁部に当接させた構成である。

【0024】従って、本実施の形態においては、枠状のフィルム6を実装基板1上に接着剤7により接着し、フィルム6の頂部を半導体素子3の周縁部に当接させるようにしたので、封止樹脂5がバンパ4形成箇所流れ込むことがなく、また、半導体素子3及び実装基板1を加工することなく封止樹脂5のバンパ形成箇所への流れ込みを防止することができる。

【0025】＝実施の形態3＝

図3は、本発明の他の実施の形態に係る半導体装置のフリップチップ実装工程図であり、(a)は概略斜視図であり、(b)、(c)は概略断面図である。本実施の形態に係る半導体装置のフリップチップ実装工程は、実施の形態1として図1に示す半導体装置のフリップチップ実装工程において、スペーサー2の代わりに、枠状のガラス8を用い、ガラス8の頂部を陽極接合により半導体素子3の周縁部に接合した構成である。

【0026】従って、本実施の形態においては、枠状のガラス8を実装基板1上に陽極接合等により接合し、ガラス8の頂部を半導体素子3の周縁部に陽極接合により接合させるようにしたので、封止樹脂5がバンパ4形成箇所流れ込むことがなく、また、半導体素子3及び実装基板1を加工することなく封止樹脂5のバンパ形成箇所への流れ込みを防止することができる。

【0027】なお、本実施の形態においては、封止樹脂5の流れ込みをガラス8により防ぐようにしたが、これに限定されるものではなく、枠状に加工されたシリコン基板を用いて陽極接合により接合するようにしても良い。

【0028】＝実施の形態4＝

図4は、本発明の他の実施の形態に係る半導体装置のフリップチップ実装工程図であり、(a)は概略斜視図であり、(b)、(c)は概略断面図である。本実施の形態に係る半導体装置のフリップチップ実装工程は、実施の形態1として図1に示す半導体装置のフリップチップ実装工程において、スペーサー2の代わりに、バンパ4と同じ材質のメッキ(金、ニッケル、銅、半田等)から成る枠状のフレーム9を用い、フレーム9の頂部を半導体素子2の周縁部に当接させた構成である。

【0029】従って、本実施の形態においては、バンパ4と同じ材質のメッキから成る枠状のフレーム9を実装基板1上に形成し、フレーム9の頂部を半導体素子3の周縁部に接続したので、封止樹脂5がバンパ4形成箇所流れ込むことがなく、また、半導体素子3及び実装基板1を加工することなく封止樹脂5のバンパ形成箇所への流れ込みを防止することができる。

【0030】また、フレーム9をバンパ4と同じ材質のメッキで構成したので、バンパ4を形成する際に同時にフレーム9を形成することができ、製造工程を減らすことができる。

【0031】

【発明の効果】請求項1記載の発明は、半導体素子をバンパを介して実装基板上に実装し、該半導体素子の周縁部のみを封止樹脂により封止するフリップチップ実装方法において、前記実装基板上に金属またはプラスチックから成る枠状のスペーサーを設け、該スペーサーの頂部を前記半導体素子の周縁部に当接させ、該半導体素子の周縁部のみを封止樹脂により封止し、前記半導体素子と前記実装基板とを枠状の前記スペーサーで囲まれた領域でバンパを介してフリップチップ実装するようにしたので、封止樹脂がバンパ形成箇所流れ込むことがなく、また、半導体素子及び実装基板を加工することなく封止樹脂のバンパ形成箇所への流れ込みを防止することができ、半導体素子及び実装基板を加工することなく、半導体素子の周縁部のみを容易に封止することのできるフリップチップ実装方法を提供することができた。

【0032】請求項2記載の発明は、請求項1記載のフリップチップ実装方法において、前記スペーサーの代わりに、上面及び下面に接着剤が塗布された枠状のフィルムを用いたので、請求項1記載の発明と同様の効果が得られる。

【0033】請求項3記載の発明は、請求項1記載のフリップチップ実装方法において、前記スペーサーの代わりに枠状のガラスを用い、該ガラスを前記半導体素子の周縁部に陽極接合により接合したので、請求項1記載の発明と同様の効果が得られる。

【0034】請求項4記載の発明は、請求項3記載のフリップチップ実装方法において、前記ガラスの代わりにシリコン基板を用いたので、請求項3記載の発明と同様の効果が得られる。

【0035】請求項5記載の発明は、請求項1記載のフリップチップ実装方法において、前記スペーサーの代わりに、前記バンパと同じ材質のメッキから成る枠状のフ

レームを用いたので、請求項1記載の発明の効果に加えて、バンパを形成する際に同時にフレームを形成することができ、工程数を減らすことができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体装置のフリップチップ実装工程図であり、(a)は概略斜視図であり、(b)、(c)は概略断面図である。

【図2】本発明の他の実施の形態に係る半導体装置のフリップチップ実装工程図であり、(a)は概略斜視図であり、(b)、(c)は概略断面図である。

【図3】本発明の他の実施の形態に係る半導体装置のフリップチップ実装工程図であり、(a)は概略斜視図であり、(b)、(c)は概略断面図である。

【図4】本発明の他の実施の形態に係る半導体装置のフリップチップ実装工程図であり、(a)は概略斜視図であり、(b)、(c)は概略断面図である。

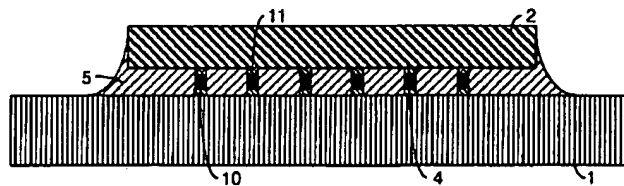
【図5】従来例に係る半導体装置を示す概略断面図である。

【図6】従来例に係る半導体装置を示す概略断面図である。

#### 【符号の説明】

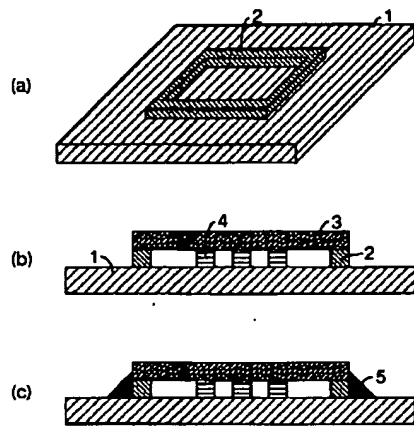
- 1 実装基板
- 2 スペーサー
- 3 半導体素子
- 4 バンパ
- 5 封止樹脂
- 6 フィルム
- 7 接着剤
- 8 ガラス
- 9 フレーム
- 10 接続用電極
- 11 電極

【図5】



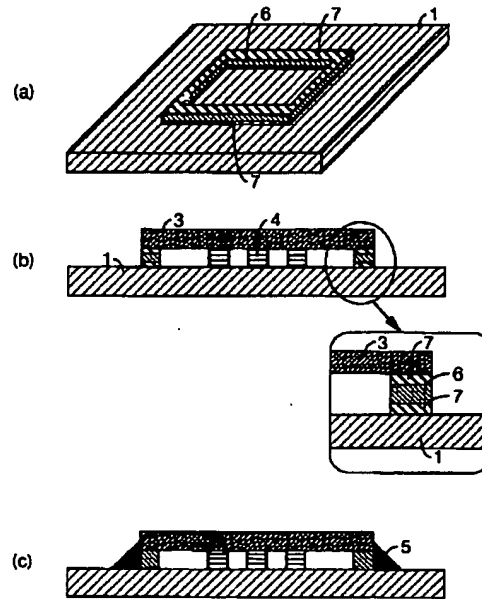
10 接続用電極  
11 電極

【図1】



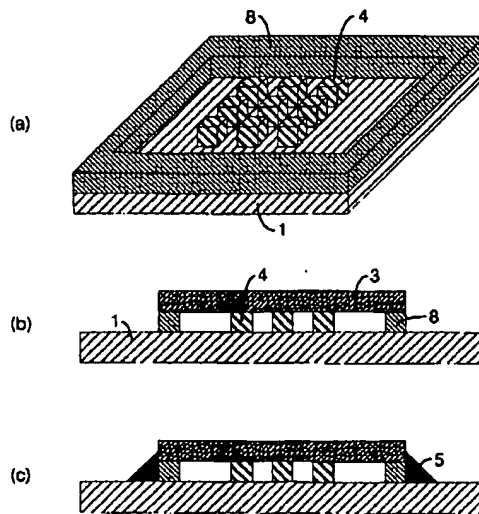
- 1 実装基板  
2 半導体素子  
3 半導体素子  
4 半導体素子  
5 封止樹脂

【図2】



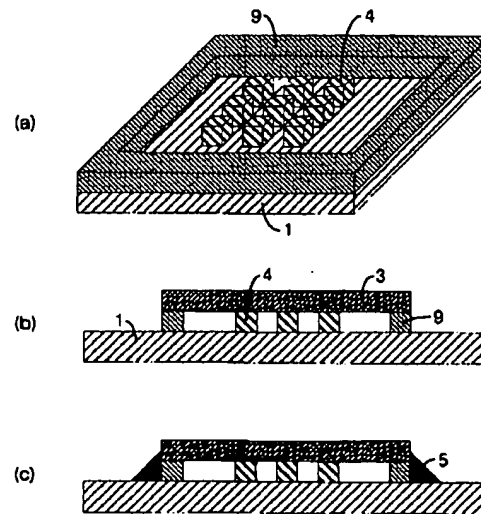
- 6 フィルム  
7 接着剤

【図3】



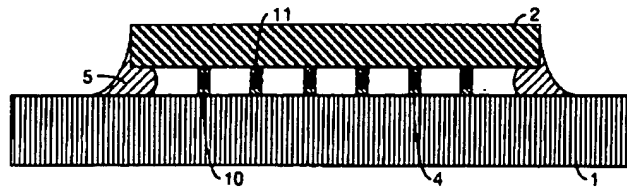
- 8 半導体素子

【図4】



- 9 半導体素子

【図6】



---

フロントページの続き

(72)発明者 井上 智広  
大阪府門真市大字門真1048番地松下電工株  
式会社内

(72)発明者 山本 政博  
大阪府門真市大字門真1048番地松下電工株  
式会社内

Fターム(参考) 4M109 AA01 BA04 CA06 DB07  
5F044 KK02 LL17 RR18 RR19